

今回の内容

12.1 CPU の仕組み 12-1

12.1 CPU の仕組み

計算機の演算・制御装置 (パソコンの CPU) は、主記憶装置 (メモリ) に記憶されている機械語プログラムと呼ばれる指示を読み取り、その指示に従って、四則演算などの計算や、各装置の制御、装置間でのデータの転送を行います。計算機のメモリ (主記憶装置) には、文字や画像、音の情報などが適当な規則にしたがって、ビット列 (デジタル情報) として記憶されますが、機械語プログラムも、やはりこのメモリ中に置かれます。

機械語プログラムは、数 bit から数十 bit の大きさの機械語命令がたくさん並んだものです。どのようなビット列でどのような作業を行うかについての約束事は、CPU 毎にあらかじめ決められています。CPU はこの約束事にしたがって、順に指示されたとおりの作業を行っていきます。1 つ 1 つの機械語命令は、非常に単純な作業しか行わせることはできませんが、この単純な作業を何千、何万と組み合わせることにより、計算機に非常に複雑な作業を行わせることができます。

機械語命令の多くは、ある大きさ (bit 長) のデータを単位として、データの転送や計算を行うのが基本です。この基本となるデータの大きさが 32 bit 長である CPU を「32 bit CPU」、64 bit 長である CPU を「64 bit CPU」と呼びます。32 bit CPU では、メモリのアドレスも 32 bit 長の符号なし整数表現で表し、64 bit CPU では、64 bit 長の符号なし整数表現で表すのが普通です。

CPU の内部構成

パソコン等で使用されている CPU は、おおよそ図 1 のような構成になっています。CPU につながっているメモリ (主記憶装置) は、いくつかのメモリモジュールで構成され、メモリモジュールはいくつかのメモリチップで構成されていますが、これを CPU から見ると、1 つのアドレス (番地) に 1 byte のデータを格納することができる大きなメモリチップのように見えます。

キャッシュメモリ メモリに記憶されているデータの内、CPU が頻繁に読み書きする部分のコピーを記憶しておく装置です。主記憶装置のメモリは、通常 DRAM (ダイナミック RAM) で構成されますが、キャッシュメモリは、より高速な SRAM (スタティック RAM) で構成されます。キャッシュメモリの記憶容量は主記憶装置に比べると僅かなものです¹が、レイテンシ (アクセスタイム) がより小さく (高速に) なっています。パソコンで使用されている CPU のキャッシュメモリは、より高速で容量の小さい 1 次キャッシュメモリと、それよりは若干低速で容量の大きい 2 次キャッシュメモリの 2 段階²になっている場合がほとんどです。

	主記憶	2 次キャッシュ	1 次キャッシュ
記憶容量	大	中	小
レイテンシ	大	中	小

¹通常、主記憶は数百 MB から数 GB、キャッシュメモリは数百 KB から大きくても十数 MB の大きさです。

²3 次キャッシュまでの 3 段階構えの場合もあります

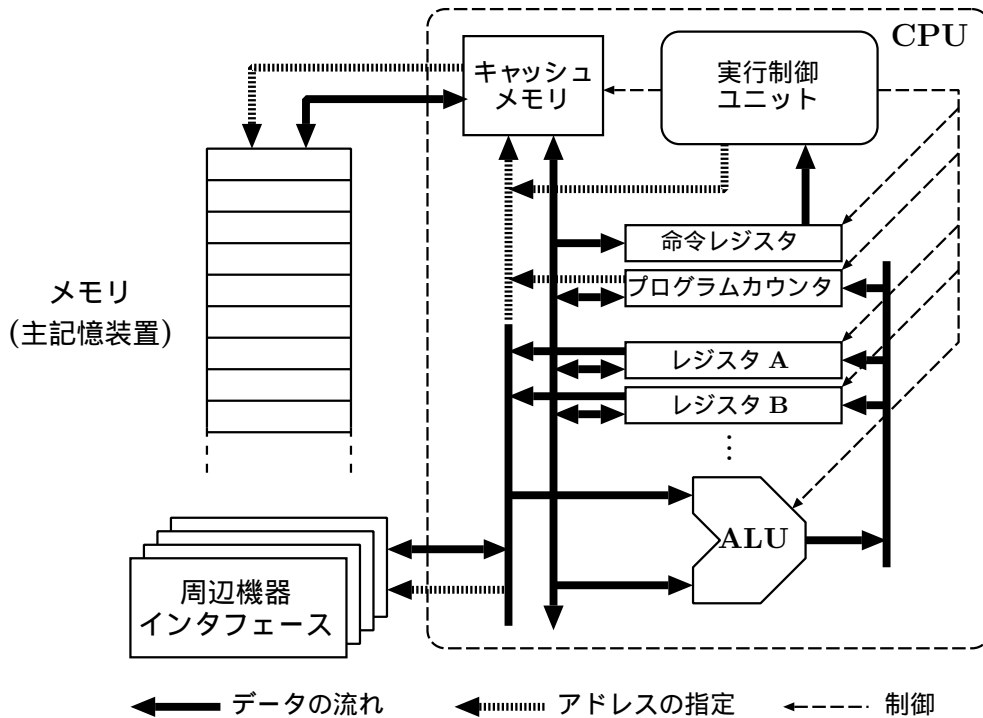


図 1: CPU の内部構成 (模式図)

CPU がメモリ中のデータを必要とする場合、まず、このキャッシュメモリに読み込まれてから使用されます。また、メモリにデータを格納する場合、とりあえずキャッシュメモリに記憶して、その後メモリに格納されます。キャッシュメモリの存在は、一見、CPU とメモリの間のデータのやり取りを邪魔しているように見えますが、決してそうではありません。CPU が機械語命令を実行していく過程では、メモリ中のいろいろな場所 (アドレス) のデータにアクセスしますが、メモリ全体に全くでたらめな順番でアクセスすることは非常に稀で、一定の時間 (たとえば $10\mu\text{s}$) だけを見れば、アクセスするデータはいくつかのアドレス周辺に偏るのが普通です。たとえば、メモリ中には機械語プログラムが格納されており、これを CPU が読み取って、その指示を実行していきませんが、このとき CPU は (基本的には³) 連続するアドレスを順にアクセスしていくことになります。また、機械語プログラム以外の一般のデータに関しても、ひとまとまりのデータは連続するアドレスに置かれますから、このひとまとまりのデータを処理する場合にも、CPU がアクセスするアドレスは集中します。このため、頻繁にアクセスするアドレスのデータをキャッシュメモリにまとめてコピーしておき、直接メモリにアクセスする代りに、キャッシュメモリにアクセスし、キャッシュメモリの内容が変更された場合は、適宜、その内容をメモリに書き戻してやれば、全体としてデータの読み書きが高速化できるわけです。

実行制御ユニット メモリから (キャッシュメモリを介して) 「命令レジスタ」に読み込まれた機械語命令を解読して、そこに指示されている作業を実行します。1つの機械語命令の実行が終了と (通常は) 次のアドレスに格納されている機械語命令を「命令レジスタ」に読み込み、それをまた実行するといった処理を繰り返していきます。

³分岐命令と呼ばれる機械語命令が実行されると、次のアドレスの命令に進むのではなく、別の (離れた) アドレスの命令にジャンプしますので、その場合、CPU がメモリから機械語命令を読み取るアドレスは不連続になります。

命令レジスタ 次に実行する機械語命令(ビット列)を保持する働きを持ちます。「プログラムカウンタ」で指示されたアドレスのデータが、メモリから(キャッシュメモリを介して)この「命令レジスタ」に読み込まれ、「実行制御ユニット」によって機械語命令として解釈されて実行されます。

プログラムカウンタ 次に実行する機械語命令のアドレスを記憶します。現在、パソコン等で使用されている CPU の多くは、アドレスを 32 bit あるいは 64 bit の符号なし整数で表現しますので、このような CPU の「プログラムカウンタ」は 32 bit 長や 64 bit 長のビット列を記憶します。

レジスタ 計算に使うためにメモリから読み込まれたデータや、複雑な計算の途中結果などを記憶します。通常、1つの CPU に、数個から数百個のレジスタが用意されています。一般的な用途に使用される汎用レジスタと呼ばれるレジスタもあれば、小数付きの数値処理専用のレジスタや、アドレスの処理専用のレジスタなど、特定の用途専用のレジスタもあります。PC 向けの CPU では、汎用レジスタやアドレス処理用のレジスタが、32 bit 長 や 64 bit 長のデータを記憶することができますのが普通です。

ALU 2つのデータの間で四則演算などの計算を行います。ALU は「算術・論理ユニット⁴」とも呼ばれ、前回解説した「演算装置」にあたります。符号付き、あるいは符号なし整数の四則演算、ビット列のビット毎の論理演算⁵、小数付きの数値の四則演算⁶などを行うことができます。

情報処理の基礎・第12回・終り

⁴ALU は Arithmetical Logical Unit の略です。

⁵第9回で解説した、NOT ゲート、AND ゲート、OR ゲート、XOR ゲートなどの演算を(たとえば 32 bit の)ビット列に対して bit 毎に行います。

⁶平方根の計算ができるような ALU もあります。